

'06年04月17日(月)17時51分 発先:MCDERMOTT
Searching PAJ

発信:前田特許事務所

R:365 P.02/12
1/2 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205147

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H03M 1/74

(21)Application number : 10-003764

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 12.01.1998

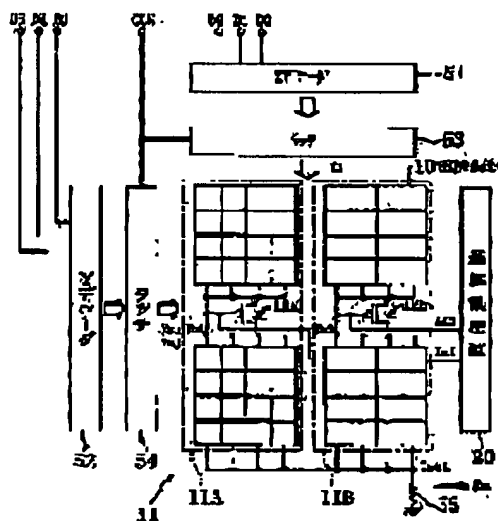
(72)Inventor : OKA KOJI

(54) D/A CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce influence exerted to conversion accuracy by the variation of transistor characteristics due to a manufacture process by circuit constitution and to improve a linearity error and a differential linearity error.

SOLUTION: The (8×8) pieces of current source cells 10 for constituting a matrix-like current spruce 11 is arranged separately in two groups. The transistors of the respective current source cells 10 respectively constitute a current mirror circuit by a first reference transistor 12A in a first block 11A and a second reference transistor 12B in a second block 11B. That is, since the current value of the respective current source cells 10 is controlled by the reference transistors 12A and 12B provided for the respective groups, even when the variation of the transistor characteristics due to the manufacture process is present, the influence exerted to the conversion accuracy by the dispersion is substantially reduced compared to the conventional constitution that has only one reference transistor for the entire current source cells.



LEGAL STATUS

[Date of request for examination] 02.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3361449

[Date of registration] 18.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

'06年04月17日(月) 17時52分 宛先: MCDERMOTT

発信: 前田特許事務所

R: 365

P: 03/12

decision of rejection]

[Date of extinction of right]

Copyright (C); 1988,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205147

(43) 公開日 平成11年(1999)7月30日

(51) Int.Cl.
H03M 1/74

識別記号

F I
H03M 1/74

審査請求 未請求 請求項の数 3 OL (全 9 頁)

(21) 出願番号 特願平10-3764

(22) 出願日 平成10年(1998)1月12日

(71) 出願人 000005321

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岡 浩二

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

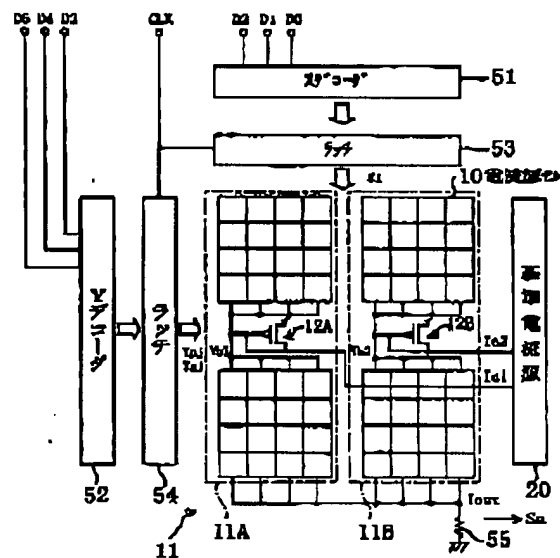
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 D/A変換器

(57) 【要約】

【課題】 D/A変換器として、製造プロセスに起因するトランジスタ特性のばらつきが変換精度に与える影響を回路構成によって低減し、直線性誤差や微分直線性誤差を改善する。

【解決手段】 マトリクス状電流源11を構成する(8×8)個の電流源セル10は2つの群に分けて配置されている。各電流源セル10のトランジスタは、第1のブロック11Aでは第1の基準トランジスタ12Aと、第2のブロック11Bでは第2の基準トランジスタ12Bとによって、カレントミラー回路をそれぞれ構成する。すなわち各電流源セル10の電流値は群ごとに設けた基準トランジスタ12A、12Bによって制御されるので、製造プロセスに起因するトランジスタ特性のばらつきがあっても、このばらつきが変換精度に及ぼす影響は、全電流源セルに対して基準トランジスタを1個のみ設けた従来の構成に比べて格段に小さくなる。



'06年04月17日(月)17時52分 宛先:MCDERMOTT

発信:前田特許事務所

R:365

P.05/12

(2)

特開平11-205147

1

【特許請求の範囲】

【請求項1】 各々電流源としてトランジスタを有する複数の電流源セルを備え、入力されたデジタルデータに応じて各電流源セルの電流出力を制御し、各電流源セルの総出力電流値を基にアナログ信号を生成出力するD/A変換器であって、

前記電流源セルは、複数の群に分かれて構成され、各群ごとに、所定値の電流が流れる基準トランジスタが設けられており、

各電流源セルが有するトランジスタと当該電流源セルが属する群に対して設けられた前記基準トランジスタとによって、カレントミラー回路が構成されていることを特徴とするD/A変換器。

【請求項2】 請求項1記載のD/A変換器において、前記電流源セルは、各群ごとに、レイアウト上においてそれぞれ異なるブロックに配置されており、

前記各基準トランジスタは、対応する電流源セル群が配置されたブロック内またはその近傍に配置されていることを特徴とするD/A変換器。

【請求項3】 請求項1記載のD/A変換器において、前記各基準トランジスタを流れる電流を、所定値に制御する基準電流源を備えており、

前記基準電流源は、

基準電流を生成する基準電流生成回路と、

前記基準電流生成回路によって生成された基準電流を基にして、前記各基準トランジスタに対応する複数の電流を供給する第1のカレントミラー回路と、

前記各基準トランジスタに対応してそれぞれ設けられており、かつ、各々前記第1のカレントミラー回路から供給された電流を入力とし、入力電流の値に応じて、対応する基準トランジスタの電流値を所定値に制御する複数の第2のカレントミラー回路とを備えていることを特徴とするD/A変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、乗積回路に用いられるD/A変換器に関するものである。

【0002】

【従来の技術】 従来から、高速D/A変換器の回路方式として、電流源をマトリクス状に配置するマトリクス構造の電流加算型D/A変換器が用いられている。

【0003】 以下、従来のマトリクス構造の電流加算型D/A変換器について説明する。

【0004】 図13は従来の6ビットのマトリクス構造の電流加算型D/A変換器のブロック図である。図13において、50はマトリクス状に配置された(8×8)個の電流源セル10からなるマトリクス状電流源、51はXデコーダ、52はYデコーダ、53、54はラッチ、55は出力負荷抵抗、D0~D5は入力された8ビットデジタルデータ、CLKはデータラッチ用クロック

2

ク、Xi(i=0~7)はXデコーダ51の出力をラッチ53によってラッチした信号、Ypj、Ysj(j=0~7)はYデコーダ52の出力をラッチ54によってラッチした信号、Ioutは電流出力端子、Vbiasは電流源バイアス電圧端子、Saは生成出力されたアナログ信号である。

【0005】 各電流源セル10はそれぞれ電流出力端子Ioutおよび電流源バイアス電圧端子Vbiasに接続されており、かつ、電流源としてのトランジスタを有している。各電流源セル10は、信号Xi、Ypj、Ysjによって電流を出力するものとして選択されたとき、当該電流源セル10が有するトランジスタを流れる電流を電流出力端子Ioutに出力する。

【0006】 また60は基準電流生成回路61と、P型MOSトランジスタ(以下「PMOS」と略記する。同様に、N型MOSトランジスタは「NMOS」と略記する)からなる基準トランジスタ62とによって構成された基準電流源であり、この基準トランジスタ62と各電流源セル10が有するトランジスタとによってカレントミラー回路が構成されている。各電流源セル10のトランジスタを流れる電流の値は、基準電流生成回路61によって生成された基準電流I0、および各電流源セル10のトランジスタと基準トランジスタ62とのトランジスタサイズの比によって決定される。

【0007】 入力されたデジタルデータD0~D5のうち、下位3ビットD0~D2がXデコーダ51に入力されるとともに、上位3ビットD3~D5がYデコーダ52に入力される。Xデコーダ51およびYデコーダ52によってデコードされた信号は、ラッチ53、54によってラッチされた後、信号Xi、Ypj、Ysj(i=0~7)としてマトリクス状電流源50に入力される。マトリクス状電流源50は、入力されたデジタルデータD0~D5の値に対応した個数の電流源セル10から電流を出力する。各電流源セル10の出力電流は加算されて電流出力端子Ioutから出力負荷抵抗55に流れ、電流出力端子Ioutの電圧がアナログ信号Saとして出力される(特許公報第2512106号参照)。

【0008】

【発明が解決しようとする課題】 ところが、従来のD/A変換器には、以下のような問題があった。

【0009】 D/A変換の精度の面からすると、各電流源セル10の出力電流の大きさは全て等しいことが理想的である。ところが実際には、製造プロセスに起因してトランジスタ特性にばらつきが生じるので、各電流源セル10の出力電流の大きさは一定にはならない。このため、直線性誤差や微分直線性誤差が生じるが、これらの誤差は各電流源セル10の出力電流値に依存するため、D/A変換器においては、カレントミラー回路の電流制御特性の精度が重要になる。

(3)

特開平11-205147

3

4

【0010】図13に示すような従来のマトリクス状電流加算型D/A変換器では、カレントミラー回路を構成する基準トランジスタは1個のみ(すなわち基準電流源80の基準トランジスタ82)であり、この1個の基準トランジスタ82に対して各電流源セル10のトランジスタが対をなす構成になっている。すなわち各電流源セル10の電流値は、そのトランジスタと1個の基準トランジスタ82との特性の違いに応じて影響を受ける。このため、トランジスタ特性のばらつきが大きくなると、カレントミラー回路の電流制御の精度は低下してしま

10

い、変換精度における直線性誤差や微分直線性誤差は悪化する。特に、D/A変換器のビット数が大きくなり、マトリクス電流源50がレイアウト上で占める面積が大きくなると、製造プロセスに起因するトランジスタ特性のばらつきがより顕著になるので、直線性誤差や微分直線性誤差を改善することを課題とする。

【0011】

前記の問題に鑑み、本発明は、D/A変換器として、トランジスタ特性のばらつきが変換精度に与える影響を回路構成によって低減し、直線性誤差や微分直線性誤差を改善することを課題とする。

【0012】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が導いた解決手段は、各々電流源としてトランジスタを有する複数の電流源セルを備え、入力されたデジタルデータに応じて各電流源セルの電流出力を制御し、各電流源セルの電流出力電流値を基にアナログ信号を生成出力するD/A変換器として、前記電流源セルは複数の群に分かれて構成され、各群ごとに所定値の電流が流れる基準トランジスタが設けられており、各電流源セルが有するトランジスタと当該電流源セルが属する群に対して設けられた前記基準トランジスタとによってカレントミラー回路が構成されているものである。

20

30

【0013】請求項1の発明によると、電流源セルは複数の群に分かれて構成され、各電流源セルが有するトランジスタと当該電流源セルが属する群に対して設けられた前記基準トランジスタとによってカレントミラー回路が構成されているので、各電流源セルを流れる電流値は群ごとに設けた基準トランジスタによって制御される。このため、製造プロセスに起因するトランジスタ特性のばらつきがあっても、各電流源セルの電流値は、そのトランジスタと群ごとに設けた基準トランジスタとの特性の違いに応じて影響を受けるのみである。したがって、全電流源セルに対して基準トランジスタを1個のみ設けた従来の構成に比べて、トランジスタ特性のばらつきが変換精度に及ぼす影響は格段に小さくなり、直線性誤差や微分直線性誤差を低減することができる。例えば各基準トランジスタの特性を、対応する群の電流源セルのトランジスタ特性にそれぞれ近づけることによって、D/A変換精度に対するプロセスばらつきの影響を確実に低

40

50

減することができる。

【0014】そして、請求項2の発明では、前記請求項1のD/A変換器において、前記電流源セルは、各群ごとにレイアウト上においてそれぞれ異なるブロックに配置されており、前記各基準トランジスタは、対応する電流源セル群が配置されたブロック内またはその近傍に配置されているものとする。

【0015】請求項2の発明によると、各基準トランジスタは、レイアウト上において、対応する電流源セル群が配置されたブロック内またはその近傍に配置されているので、その特性は、対応する群の電流源セルのトランジスタの特性にきわめて近いものになる。このため、D/A変換精度に対するプロセスばらつきの影響を確実に低減することができる。また、各電流源セルのトランジスタと基準トランジスタとによって構成するカレントミラー回路は、従来よりもトランジスタ間の距離が小さくなるので、製造プロセスばらつきによりカレントミラー回路を構成するトランジスタの特性がばらついた場合でも、その影響は小さくなる。

【0016】さらに、請求項3の発明では、前記請求項1のD/A変換器は、前記各基準トランジスタを流れる電流を所定値に制御する基準電流源を備えたものとし、前記基準電流源は、基準電流を生成する基準電流生成回路と、前記基準電流生成回路によって生成された基準電流を基にして、前記各基準トランジスタに対応する複数の電流を供給する第1のカレントミラー回路と、前記各基準トランジスタに対応して設けられており、かつ、各々前記第1のカレントミラー回路から供給された電流を入力とし、入力電流の値に応じて、対応する基準トランジスタの電流値を所定値に制御する複数の第2のカレントミラー回路とを備えているものとする。

【0017】請求項3の発明によると、各基準トランジスタを流れる電流を所定値に制御する基準電流源は、第1および基準トランジスタの個数に相当する数の第2のカレントミラー回路を備えた小規模な回路によって構成されるため、この基準電流源を構成する各トランジスタはレイアウト上において近傍に配置することができる。このため、基準電流源について製造プロセスに起因する特性のばらつきが生じることがないので、各基準トランジスタを流れる電流値を所定値に精度良く制御することができる。

【0018】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0019】(第1の実施形態)図1は本発明の第1の実施形態に係る8ビットのマトリクス構造の電流加算型D/A変換器の構成を示すブロック図である。図1では、図13に示す従来のD/A変換器と共通の構成要素には同一の符号を付している。図1において、10は電流源としてトランジスタを有する電流源セル、11Aは

'06年04月17日(月)17時52分 宛先:MCDERMOTT

発信: 前田特許事務所

R:365

P.07/12

(4)

特開平11-205147

5

(4×8)個の電流源セル10が配置された第1のブロック11Bは(4×8)個の電流源セル10が配置された第2のブロックである。すなわち、図1に示す本実施形態に係るD/A変換器では、マトリクス状電流源11を構成する(8×8)個の電流源セル10が2つの群に分けて配置されている。

【0020】12Aは第1のブロック11A内に設けられ、所定値の電流 I_{a1} が流れる第1の基準トランジスタ、12Bは第2のブロック11B内に設けられ、所定値の電流 I_{a2} が流れる第2の基準トランジスタであり、第1のブロック11Aにおいて、各電流源セル10が有するトランジスタと第1の基準トランジスタ12Aとによってカレントミラー回路がそれぞれ構成されており、第2のブロック11Bにおいて、各電流源セル10が有するトランジスタと第2の基準トランジスタ12Bとによってカレントミラー回路がそれぞれ構成されている。第1および第2の基準トランジスタ12A、12BはそれぞれPMOSからなる。また、 V_{b1} は第1のブロック11Aにおける第1の電流源バイアス電圧端子、 V_{b2} は第2のブロック11Bにおける第2の電流源バイアス電圧端子である。

【0021】また20は第1および第2の基準トランジスタ12A、12Bを流れる電流 I_{a1} 、 I_{a2} を所定値に制御する基準電流源である。

【0022】また、51はXデコーダ、52はYデコーダ、53、54はラッチ、55は出力負荷抵抗、D0～D5は入力された6ビットデジタルデータ、CLKはデータラッチ用クロック、 X_i ($i=0\sim7$)はXデコーダ51の出力をラッチ53によってラッチした信号、 Y_{pj} 、 Y_{sj} ($j=0\sim7$)はYデコーダ52の出力をラッチ54によってラッチした信号、 I_{out} は電流出力端子である。

【0023】図2はマトリクス状電流源11を構成する電流源セル10の内部構成を示す図である。図2に示すように、各電流源セル10は、PMOSからなる電流源としてのトランジスタ10a、増幅回路10bおよびスイッチ10cを備えている。増幅回路10bは、信号 X_i 、 Y_{pj} 、 Y_{sj} によって当該電流源セル10が電流を出力するものとして選択されたときは、トランジスタ10aを流れる電流 I が電流出力端子 I_{out} に出力されるよう、スイッチ10cを切替制御する。また端子 V_{b1} は、第1のブロック11Aにおける電流源セル10については第1の電流源バイアス電圧端子 V_{b1} と、第2のブロック11Bにおける電流源セル10については第2の電流源バイアス電圧端子 V_{b2} と、それぞれ接続される。これによって、第1のブロック11Aにおける各電流源セル10のトランジスタ10aと第1の基準トランジスタ12Aとによってカレントミラー回路が構成され、第2のブロック11Bにおける各電流源セル10のトランジスタ10aと第2の基準トランジスタ12Bと

6

によってカレントミラー回路が構成される。

【0024】図3は基準電流源20の構成を示す回路図である。図3において、21は基準電流 I_0 を生成する基準電流生成回路、22はPMOS22a、22b、22cからなり、基準電流生成回路21によって生成された基準電流 I_0 を基にして、第1および第2の基準トランジスタ12A、12Bに対応する線に電流 I_{b1} 、 I_{b2} を供給する第1のカレントミラー回路、23、24はそれぞれ2個のNMOS23a、23bおよびNMOS24a、24bからなり、かつ、第1および第2の基準トランジスタ12A、12Bにそれぞれ対応して設けられた第2のカレントミラー回路である。第2のカレントミラー回路23は、第1のカレントミラー回路22から供給された電流 I_{b1} を入力とし、この電流 I_{b1} の値に応じて第1の基準トランジスタ12Aの電流 I_{a1} を所定値に制御する。一方、第2のカレントミラー回路24は、第1のカレントミラー回路22から供給された電流 I_{b2} を入力とし、この電流 I_{b2} の値に応じて第2の基準トランジスタ12Bの電流 I_{a2} を所定値に制御する。

【0025】第1のカレントミラー回路22において、PMOS22b、22cはトランジスタサイズが等しくなるように設計されているため、同一値の電流を流すので、

$$I_{b1} = I_{b2}$$

である。また、一方の第2のカレントミラー回路23を構成するNMOS23a、23bのトランジスタサイズ比と、他方の第2のカレントミラー回路24を構成するNMOS24a、24bのトランジスタサイズ比とは等しくなるように設計されているため、

$$I_{a1} = I_{a2}$$

である。

【0026】図1に示す本実施形態に係るD/A変換器は、図13に示す従来のD/A変換器と基本的には同様に動作する。すなわち、入力されたデジタルデータD0～D5のうち、下位3ビットD0～D2がXデコーダ51に入力されるとともに、上位3ビットD3～D5がYデコーダ52に入力される。Xデコーダ51およびYデコーダ52によってデコードされた信号は、ラッチ53、54によってラッチされた後、信号 X_i 、 Y_{pj} 、 Y_{sj} ($i=0\sim7$)としてマトリクス状電流源11に入力される。マトリクス状電流源11は、入力されたデジタルデータD0～D5の値に対応した個数の電流源セル10から電流を出力する。各電流源セル10の出力電流は加算されて電流出力端子 I_{out} から出力負荷抵抗55に流れ、電流出力端子 I_{out} の電圧がアナログ信号 S_a として出力される。

【0027】以下、本実施形態に係るD/A変換器の実際の効果について、図13に示す従来のD/A変換器と比較して具体的に説明する。なおここでは、各電流源セ

'06年04月17日(月)17時52分 宛先: MCDERMOTT

発信: 前田特許事務所

R: 366

P. 08/12

(5)

特開平11-205147

7
ル10は図4に示すような順序でオンするものとする。すなわち各電流源セル10は、マトリクス状電流源11, 50において、左上隅を起点として、縦方向に順に、デジタルデータD0~D5に応じてオンするものとする。「電流源セルがオンする」ということは、図2に示す電流源セル10において、スイッチ10cが電流出力端子Iout側に接続されて、電流Iがトランジスタ10aから電流出力端子Ioutに流れることを意味する。なお図4に示す順序は一つの例であり、以下の説明は電流源がオンする順序を変えた場合においても同様に行うことができる。

【0028】マトリクス状電流源11, 50の各電流源セル10の電流値(図2における電流I)は、製造プロセスに起因するトランジスタ特性のばらつきによって一定ではなく、ばらついている。このばらつきは、ランダムなものと、ある程度規則性をもって分布したものの2種類が考えられる。半導体集積回路では、イオン注入工程やエッチング工程等におけるプロセスばらつきに起因して、トランジスタ特性が連続的に分布することがしばしば起こり得る。

【0029】図5は従来のD/A変換器における各電流源セル10の電流値の分布を示す図であり、(8×8)個の電流源セル10が分布したマトリクス状電流源50において、各電流源セル10のトランジスタの特性が横方向に連続的に分布していると仮定した場合における図である。図5において、各電流源セル10の電流値は平均を1として表しており、変化度合は横方向に最大±7%としている。また基準トランジスタ82の電流値は、マトリクス状電流源50における最右行の電流源セル10と等しいものとし、0.93としている。

【0030】図5に示すような電流源セル10の電流値の分布を有する従来のD/A変換器について、図6は微分直線性誤差を示すグラフであり、図7は直線性誤差を示すグラフである。図6および図7に示すように、この場合の微分直線性誤差は±0.072LSBであり、直線性誤差は±0.622LSBである。

【0031】図8は本実施形態に係るD/A変換器における各電流源セル10の電流値の分布を示す図であり、図5に示す従来のD/A変換器の場合と同様に、(8×8)個の電流源セル10が分布したマトリクス状電流源11において、各電流源セル10のトランジスタの特性が横方向に連続的に分布していると仮定した場合における図である。図8において、図5と同様に、各電流源セル10の電流値は平均を1として表しており、変化度合は横方向に最大±7%としている。

【0032】なお、第1の基準トランジスタ12Aは第1のブロック11Aのほぼ中央に配置されていると仮定して、その電流値は第1のブロック11A内の電流源セル10の電流値の平均である1.04とし、第2の基準トランジスタ12Bは第2のブロック11Bのほぼ中央

に配置されていると仮定して、その電流値は第2のブロック11B内の電流源セル10の電流値の平均である0.96としている。

【0033】図8に示すような電流源セル10の電流値の分布を有する本実施形態に係るD/A変換器について、図9は微分直線性誤差を示すグラフであり、図10は直線性誤差を示すグラフである。図9および図10に示すように、この場合の微分直線性誤差は±0.032LSBであり、直線性誤差は±0.163LSBである。すなわち本実施形態では、従来例に比べて、微分直線性誤差は約45%に、直線性誤差は約25%に減少している。

【0034】前記の計算結果は、各電流源セル10の電流値の分布が図5および図8に示すものと仮定して得たものであるが、各電流源セル10の電流値が連続的に分布している他の例についても、同様の計算結果が得られる。また本実施形態では、第1および第2の基準トランジスタ12A, 12Bはそれぞれ第1および第2のブロック11A, 11Bのほぼ中央に配置されているものと仮定したが、この場合には、各基準トランジスタ12A, 12Bの電流値が、対応するそれぞれのブロック11A, 11B内の各電流源セル10の電流値の平均にほぼ等しくなるので、本発明の効果は特に大きくなる。なお各基準トランジスタ12A, 12Bを、各ブロック11A, 11Bのほぼ中央でなく周辺部に配置した場合や、各ブロック11A, 11Bの近傍に配置した場合であっても、同様の効果が期待できる。

【0035】すなわち、各電流源セル10を流れる電流値は、当該電流源セル10が属する群に対して設けられた第1または第2の基準トランジスタ12A, 12Bによって制御されるため、製造プロセスに起因するトランジスタ特性のばらつきがあっても、各電流源セル10の電流値は、そのトランジスタ10aと群ごとに設けた基準トランジスタ12A, 12Bとの特性の違いに応じて影響を受けるのみである。したがって、全電流源セル10に対して1個の基準トランジスタ82を設けた従来の構成に比べて、トランジスタ特性のばらつきが変換精度に及ぼす影響は格段に小さくなり、直線性誤差や微分直線性誤差を低減することができる。

【0036】このため、電流源セル10の電流値のばらつきがたとえランダムなものであっても、例えば、基準トランジスタ12A, 12Bの特性を、対応する群の電流源セル10のトランジスタ特性にそれぞれ近づけることによって、D/A変換精度に対するプロセスばらつきの影響を低減することができる。

【0037】また各基準トランジスタ12A, 12Bを各ブロック11A, 11B内またはその近傍に配置することによって、各電流源セル10のトランジスタ10aと各基準トランジスタ12A, 12Bとによって構成するカレントミラー回路は、従来よりもトランジスタ間の

(6)

特開平11-205147

9

距離が小さくなるので、製造プロセスばらつきによりカレントミラー回路を構成するトランジスタの特性がばらついた場合でも、その影響は小さくなる。

【0038】また基準電流源20は、第1および2個の第2のカレントミラー回路22、23、24を備えた小規模な回路によって構成されるため、各トランジスタ22a、22b、22c、23a、23b、24a、24bはそれぞれレイアウト上において近傍に配置することができる。このため、基準電流源20について、製造プロセスに起因する特性のばらつきが生じないので、第1および第2の基準トランジスタ12A、12Bを流れる電流 I_{a1} 、 I_{a2} を所定値に精度良く制御することができる。

【0039】(第2の実施形態) 第1の実施形態ではマトリクス状電流源11を2個の群に分けて構成したが、3個以上の群に分けた場合であっても、第1の実施形態と同様の効果を得ることができる。

【0040】図11は本発明の第2の実施形態に係る6ビットのマトリクス構造の電流加算型D/A変換器の構成の主要部を示すブロック図である。図11に示す本実施形態に係るD/A変換器では、(8×8)個の電流源セル10からなるマトリクス状電流源15を4つのブロック15A~15Dに分けて構成している。図11において、第1~第4のブロック15A~15Dにはそれぞれ(4×4)個の電流源セル10が配置されており、各ブロック15A~15Dには、所定値の電流 I_{c1} ~ I_{c4} が流れる第1~第4の基準トランジスタ16A~16Dがそれぞれ設けられている。各基準トランジスタ16A~16BはそれぞれPMOSによって構成されている。

【0041】各ブロック15A~15Dにおいて、電流源セル10が有するトランジスタ10aと当該ブロックに対応する基準トランジスタ16A~16Dとによってカレントミラー回路がそれぞれ構成されている。また、30は基準トランジスタ16A~16Dを流れる電流 I_{c1} ~ I_{c4} をそれぞれ所定値に制御する基準電流源である。

【0042】図12は基準電流源30の構成を示す回路図である。図12において、31は基準電流 I_0 を生成する基準電流生成回路、32は5個のPMOS32a~32eからなり、基準電流生成回路31によって生成された基準電流 I_0 を基にして、各基準トランジスタ16A~16Dに対応する複数個の電流 I_{d1} ~ I_{d4} を供給する第1のカレントミラー回路、33~36はそれぞれ2個のNMOSからなり、かつ、各基準トランジスタ16A~16Dにそれぞれ対応して設けられた第2のカレントミラー回路である。第2のカレントミラー回路33~36は、第1のカレントミラー回路32から供給された電流 I_{d1} ~ I_{d4} をそれぞれ入力とし、入力した電流 I_{d1} ~ I_{d4} の値に応じて、対応する基準トラン

10

ジスタ16A~16Dの電流 I_{c1} ~ I_{c4} をそれぞれ所定値に制御する。第1のカレントミラー回路32において、PMOS32b~32eは、トランジスタサイズが等しくなるように設計されているために同一値の電流を流すので、

$$I_{d1} = I_{d2} = I_{d3} = I_{d4}$$

である。また第2のカレントミラー回路33~36を構成するNMOSのトランジスタサイズ比は、それぞれ等しくなるように設計されているため、

$$I_{c1} = I_{c2} = I_{c3} = I_{c4}$$

である。

【0043】図11に示す本実施形態に係るD/A変換器は、図1に示す第1の実施形態に係るD/A変換器と同様に動作する。なお図11では、Xデコーダ51などの周辺の構成要素については、図示を省略している。

【0044】図11に示すような、マトリクス状電流源15を4個のブロックに分けたD/A変換器においても、第1の実施形態と同様の効果を得ることができる。すなわち、各電流源セル10を流れる電流値は、当該電流源セル10が属する群に対して設けられた基準トランジスタ16A~16Dによって制御されるため、製造プロセスに起因するトランジスタ特性のばらつきがあっても、各電流源セル10の電流値はそのトランジスタ10aと群ごとに設けた基準トランジスタ16A~16Dとの特性の違いに応じて影響を受けるのみである。したがって、全電流源セル10に対して1個の基準トランジスタ62を設けた従来の構成に比べて、トランジスタ特性のばらつきが変換精度に及ぼす影響は格段に小さくなり、直線性誤差や微分直線性誤差を低減することができる。

【0045】なお、第1および第2の実施形態では、6ビットのD/A変換器を例にとりて説明したが、6ビット以外のD/A変換器に対しても本発明は容易に適用することができる。特に、D/A変換器のビット数が増えた場合には、マトリクス電流源がレイアウト上で占める面積が増大するため、製造プロセスに起因するトランジスタ特性のばらつきがさらに大きくなるので、本発明を適用した場合の効果はより大きくなる。

【0046】

【発明の効果】以上のように本発明によると、各電流源セルを複数の群に分け、各電流源セルが有するトランジスタと当該電流源セルが属する群に対して設けた基準トランジスタとによってカレントミラー回路を構成するので、製造プロセスに起因するトランジスタ特性のばらつきがあっても、全電流源セルに対して1個の基準トランジスタを設けた従来の構成に比べて、トランジスタ特性のばらつきが変換精度に及ぼす影響は格段に小さくなり、直線性誤差や微分直線性誤差を低減することができる。

(7)

特開平11-205147

11

【0047】また、各基準トランジスタを、レイアウト上において、対応するブロック内またはその近傍に配置することによって、各基準トランジスタの特性が、対応する群の電流源セルのトランジスタの特性に近くなるので、D/A変換精度に対するプロセスばらつきの影響を確実に低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るD/A変換器の構成を示す図である。

【図2】電流源セル10の構成を示す図である。

【図3】図1のD/A変換器における基準電流源20の構成を示す回路図である。

【図4】各電流源セル10がオンする順序を示す図である。

【図5】従来のD/A変換器における各電流源セル10の電流値の分布の一例を示す図である。

【図6】従来のD/A変換器について、各電流源セル10の電流値の分布が図5に示すものであるときの微分直線性誤差を示すグラフである。

【図7】従来のD/A変換器について、各電流源セル10の電流値の分布が図5に示すものであるときの直線性誤差を示すグラフである。

【図8】本発明の第1の実施形態に係るD/A変換器における各電流源セル10の電流値の分布の一例を示す図である。

【図9】本発明の第1の実施形態に係るD/A変換器に*

12

*ついて、各電流源セル10の電流値の分布が図8に示すものであるときの微分直線性誤差を示すグラフである。

【図10】本発明の第1の実施形態に係るD/A変換器について、各電流源セル10の電流値の分布が図8に示すものであるときの直線性誤差を示すグラフである。

【図11】本発明の第2の実施形態に係るD/A変換器の構成を示す図である。

【図12】図11のD/A変換器における基準電流源30の構成を示す回路図である。

10 【図13】従来のD/A変換器の構成を示す図である。

【符号の説明】

D0～D5 デジタルデータ

Sa アナログ信号

10 電流源セル

10a 電流源セルが有するトランジスタ

11A 第1のブロック

11B 第2のブロック

12A 第1の基準トランジスタ

12B 第2の基準トランジスタ

15A～15D ブロック

16A～16D 基準トランジスタ

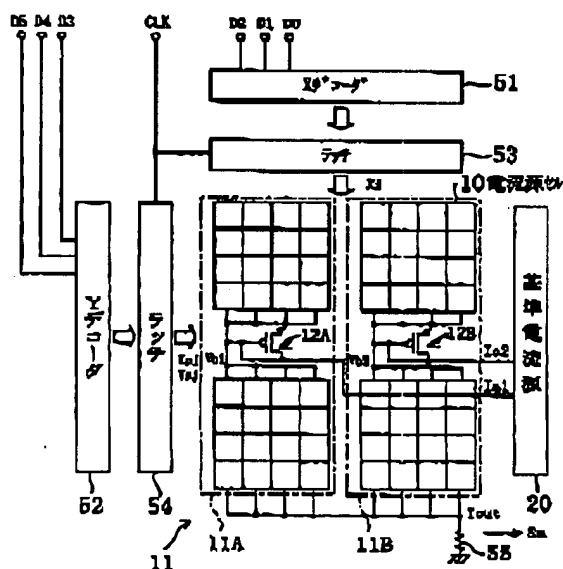
20, 30 基準電流源

21, 31 基準電流生成回路

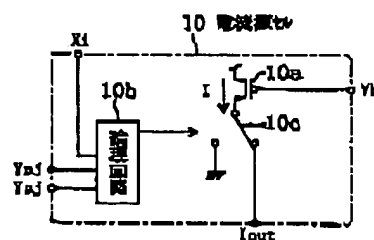
22, 32 第1のカレントミラー回路

23, 24, 33, 34, 35, 36 第2のカレントミラー回路

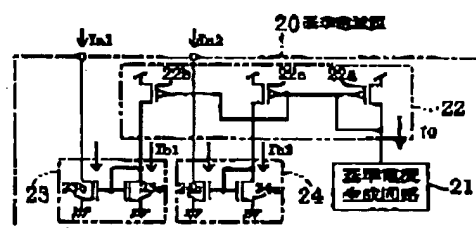
【図1】



【図2】



【図3】



(8)

特開平11-205147

【図4】

1	9	17	26	33	41	49	57
2	10	18	28	34	42	50	58
3	11	19	27	35	43	51	59
4	12	20	29	36	44	52	60
5	13	21	29	37	45	53	61
6	14	22	30	38	46	54	62
7	15	23	31	39	47	55	63
8	16	24	32	40	48	56	

【図5】

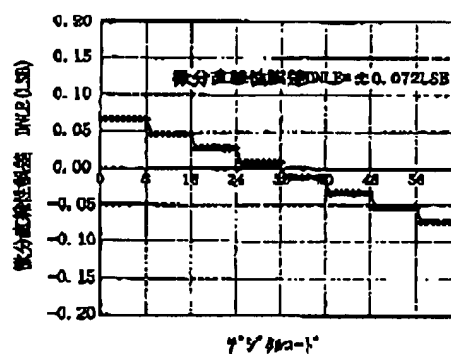
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93

50

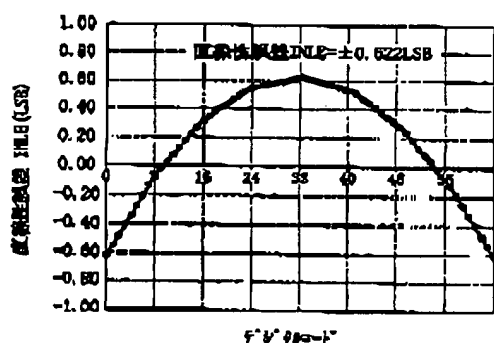
62

10

【図6】



【図7】



【図8】

1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93
1.07	1.05	1.03	1.01	0.99	0.97	0.95	0.93

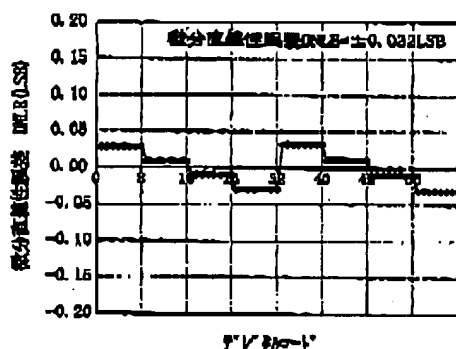
10

1.04 12A

0.94 12B

11 11A 11B

【図9】



【図10】

